

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

**SIGNAL EQUALIZATION METHOD, SIGNAL EQUALIZATION CIRCUIT
AND VIDEO TAPE RECORDER**

Patent Number: JP6124542
Publication date: 1994-05-06
Inventor(s): ISHIDA TAKEHITO
Applicant(s): SONY CORP
Requested Patent: ☐ JP6124542
Application Number: JP19920298065 19921009
Priority Number(s):
IPC Classification: G11B20/10; G11B20/18
EC Classification:
Equivalents:

Abstract

PURPOSE: To set a proper coefficient at all times.

CONSTITUTION: A signal recorded and reproduced by an electromagnetic conversion system 3 is processed by 1+D characteristic by a characteristic circuit 6 and then supplied to an FIR type transversal digital filter 7 and processed by 1-D characteristic. The output of the filter 7 is decoded by a Vitabi decoder 8. The output of the Vitabi decoder 8 is processed by 1-D<2> characteristic by a model output arithmetic circuit 10 and supplied to a subtracter 11. The output of the filter 7 is delayed by the period of time corresponding to the processing period of time in the Vitabi decoder 8 by a delay circuit 9 and supplied to the subtracter 11. The subtracter 11 subtracts the output of the delay circuit 9 from the output of a model output arithmetic circuit 10, outputting it as an error $e(k)$ to a coefficient arithmetic circuit 12. The coefficient arithmetic circuit 12 calculates a new coefficient based on the error $e(k)$, loading it on the multiplier of the filter 7.

Data supplied from the esp@cenet database - I2

(51)Int.Cl.⁵G 1 1 B 20/10
20/18

識別記号

3 2 1 A
1 0 2

庁内整理番号

7923-5D
9074-5D

F I

技術表示箇所

審査請求 未請求 請求項の数 6(全 11 頁)

(21)出願番号 特願平4-298065

(22)出願日 平成4年(1992)10月9日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 石田 雄仁

東京都品川区北品川6丁目7番35号 ソニー株式会社内

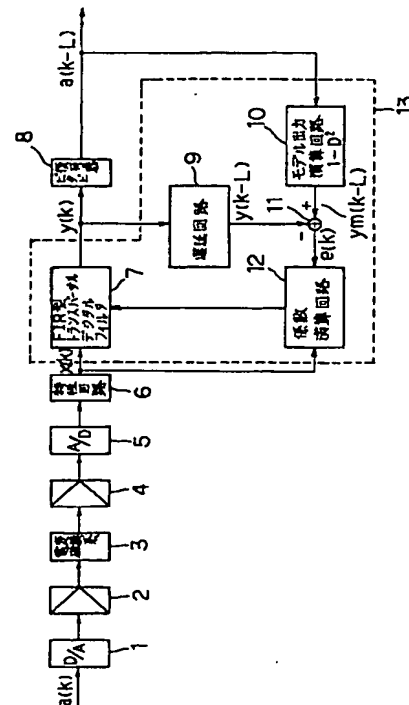
(74)代理人 弁理士 稲本 義雄

(54)【発明の名称】 信号等化方法、信号等化回路およびビデオテープレコーダ

(57)【要約】

【目的】 常に適切な係数が設定されるようにする。

【構成】 電磁変換系3により記録再生された信号が、特性回路6により $1+D$ の特性で処理された後、FIR型トランスバーサルデジタルフィルタ7に供給され、 $1-D$ の特性で処理される。フィルタ7の出力がビタビ復号器8で復号される。ビタビ復号器8の出力は、モデル出力演算回路10により $1-D'$ の特性で処理され、減算器11に供給される。フィルタ7の出力は、ビタビ復号器8における処理時間に対応する時間だけ遅延回路9により遅延された後、減算器11に供給される。減算器11は、モデル出力演算回路10の出力から遅延回路9の出力を減算し、誤差 $e(k)$ として、係数演算回路12に出力する。係数演算回路12は、この誤差 $e(k)$ をもとにして、新たな係数を演算し、フィルタ7の乗算器にロードする。



【特許請求の範囲】

【請求項 1】 磁気記録媒体から再生された信号を適応型フィルタにより等化し、
前記適応型フィルタにより等化された信号をビタビ復号器で復号し、
前記ビタビ復号器の復号出力に対応して、前記適応型フィルタの係数を演算することを特徴とする信号等化方法。

【請求項 2】 磁気記録媒体から再生された信号を等化する適応型フィルタと、
前記適応型フィルタの出力を復号するビタビ復号器と、
前記ビタビ復号器の出力を、所定のモデル特性で演算し、モデル出力を出力するモデル出力演算回路と、
前記適応型フィルタの出力を前記ビタビ復号器の処理時間に対応する時間だけ遅延する遅延回路と、
前記モデル出力演算回路と遅延回路の出力の誤差を演算する誤差演算回路と、
前記誤差演算回路の出力に対応して前記適応型フィルタの係数を演算する係数演算回路とを備えることを特徴とする信号等化回路。

【請求項 3】 磁気テープから再生された信号を等化する適応型フィルタと、
前記適応型フィルタの出力を復号するビタビ復号器と、
前記ビタビ復号器の出力を、所定のモデル特性で演算し、モデル出力を出力するモデル出力演算回路と、
前記適応型フィルタの出力を前記ビタビ復号器の処理時間に対応する時間だけ遅延する遅延回路と、
前記モデル出力演算回路と遅延回路の出力の誤差を演算する誤差演算回路と、
前記誤差演算回路の出力に対応して前記適応型フィルタの係数を演算する係数演算回路とを備えることを特徴とするビデオテープレコーダ。

【請求項 4】 磁気記録媒体から再生された基準信号を適応型フィルタにより等化し、
予め記憶してある前記基準信号を、所定のモデル特性で演算してモデル出力を生成し、
前記適応型フィルタの出力とモデル出力の誤差を演算し、
前記誤差に対応して、前記適応型フィルタの係数を演算することを特徴とする信号等化方法。

【請求項 5】 磁気記録媒体から再生された基準信号を等化する適応型フィルタと、
前記基準信号を予め記憶する記憶回路と、
前記記憶回路に予め記憶してある前記基準信号を、所定のモデル特性で演算してモデル出力を出力するモデル出力演算回路と、
前記適応型フィルタの出力とモデル出力との誤差を演算する誤差演算回路と、
前記誤差に対応して、前記適応型フィルタの係数を演算する係数演算回路とを備えることを特徴とする信号等化

回路。

【請求項 6】 磁気テープから再生された基準信号を等化する適応型フィルタと、
前記基準信号を予め記憶する記憶回路と、
前記記憶回路に予め記憶してある前記基準信号を、所定のモデル特性で演算してモデル出力を演算するモデル出力演算回路と、
前記適応型フィルタの出力とモデル出力との誤差を演算する誤差演算回路と、

10 前記誤差に対応して、前記適応型フィルタの係数を演算する係数演算回路とを備えることを特徴とするビデオテープレコーダ。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】本発明は、例えばデジタルビデオテープレコーダにおいて、デジタルデータを記録再生する場合に用いて好適な信号等化方法、信号等化回路およびビデオテープレコーダに関する。

【 0 0 0 2 】

20 【従来の技術】デジタルビデオテープレコーダにおいて、データを記録再生するのに、パーシャルレスポンス方式が応用されている。この場合、記録再生系の総合特性が $1-D'$ になるように調整される。 $1-D'$ の特性は、 $1+D$ の特性と $1-D$ の特性をシリーズに接続することにより実現することができる。電磁変換系は、本質的に $1-D$ の特性に近い特性を有している。そこで、 $1+D$ の特性を有する回路を付加し、さらに電磁変換系を含む他の回路の総合の特性が正確に $1-D$ になるように調整する信号等化回路を設けるようにしている。そして、この信号等化回路の出力が所定の閾値を基準として 3 値（例えば 1, 0, -1）のいずれかに検出され、さらに、1 と -1 は論理 1 として、0 は論理 0 として、復号される。

30 【 0 0 0 3 】この信号等化回路としては、例えば FIR 型トランスバーサルデジタルフィルタが用いられる。このフィルタの係数は、復号結果を目標値と推定し、この推定した目標値と、フィルタの出力との誤差を 0 にするように、LMS（最小平均 2 乗法）アルゴリズムに従って、更新されるようになされている。

40 【 0 0 0 4 】

【発明が解決しようとする課題】従来は、このように、所定の閾値を基準として行われたビット毎の判定によって得られた復号結果をもとに、目標値を推定するようにしているため、不適当な目標値を設定してしまう恐れがあった。

【 0 0 0 5 】また、復号結果に誤りがあると、その影響を受けやすく、係数が不適切な値に設定されると、適正な値に回復（収束）するのに時間がかかる課題があった。その結果、係数がすべて 0 となったとき、等化誤差も 0 となり、発散状態になりやすい課題があった。

50

【0006】本発明はこのような状況に鑑みてなされたものであり、常に正確な目標値を設定することができ、安定した動作を実現することができるようにするものである。

【0007】また、係数の最適値への収束が速くなるようにし、発散し難くするものである。

【0008】

【課題を解決するための手段】請求項1に記載の信号等化方法は、磁気記録媒体から再生された信号を適応型フィルタとしてのFIR型トランスバーサルデジタルフィルタ7により等化し、適応型フィルタにより等化された信号をビタビ復号器で復号し、ビタビ復号器の復号出力に対応して、適応型フィルタの係数を演算することを特徴とする。

【0009】請求項2に記載の信号等化回路は、磁気記録媒体としての磁気テープ16から再生された信号を等化する適応型フィルタとしてのFIR型トランスバーサルデジタルフィルタ7と、フィルタ7の出力を復号するビタビ復号器8と、ビタビ復号器8の出力を、所定のモデル特性で演算し、モデル出力を出力するモデル出力演算回路10と、フィルタ7の出力をビタビ復号器8の処理時間に対応する時間だけ遅延する遅延回路9と、モデル出力演算回路10と遅延回路9の出力の誤差を演算する誤差演算回路としての減算器11と、減算器11の出力に対応してフィルタ7の係数を演算する係数演算回路12とを備えることを特徴とする。

【0010】請求項3に記載のビデオテープレコーダは、磁気テープ16から再生された信号を等化する適応型フィルタとしてのFIR型トランスバーサルデジタルフィルタ7と、フィルタ7の出力を復号するビタビ復号器8と、ビタビ復号器8の出力を、所定のモデル特性で演算し、モデル出力を出力するモデル出力演算回路10と、フィルタ7の出力をビタビ復号器8の処理時間に対応する時間だけ遅延する遅延回路9と、モデル出力演算回路10と遅延回路9の出力の誤差を演算する誤差演算回路としての減算器11と、減算器11の出力に対応してフィルタ7の係数を演算する係数演算回路12とを備えることを特徴とする。

【0011】請求項4に記載の信号等化方法は、磁気記録媒体から再生された基準信号を適応型フィルタとしてのFIR型トランスバーサルデジタルフィルタ7により等化し、予め記憶してある基準信号を、所定のモデル特性で演算してモデル出力を生成し、フィルタ7の出力とモデル出力の誤差を演算し、誤差に対応して、フィルタ7の係数を演算することを特徴とする。

【0012】請求項5に記載の信号等化回路は、磁気記録媒体としての磁気テープ16から再生された基準信号を等化する適応型フィルタとしてのFIR型トランスバーサルデジタルフィルタ7と、基準信号を予め記憶する記憶回路としてのROM32と、ROM32に予め記憶

してある基準信号を、磁気テープ16の記録再生特性に対応する特性で演算してモデル出力を出力するモデル出力演算回路33と、フィルタ7の出力とモデル出力との誤差を演算する誤差演算回路としての減算器34と、誤差に対応して、フィルタ7の係数を演算する係数演算回路35とを備えることを特徴とする。

【0013】請求項6に記載のビデオテープレコーダは、磁気テープ16から再生された基準信号を等化する適応型フィルタとしてのFIR型トランスバーサルデジタルフィルタ7と、基準信号を記憶する記憶回路としてのROM32と、ROM32に予め記憶してある基準信号を、所定のモデル特性で演算してモデル出力を演算するモデル出力演算回路33と、フィルタ7の出力とモデル出力との誤差を演算する誤差演算回路としての減算器34と、誤差に対応して、フィルタ7の係数を演算する係数演算回路35とを備えることを特徴とする。

【0014】

【作用】請求項1乃至3に記載の信号等化方法においては、フィルタ7により等化された信号がビタビ復号器で復号され、その復号出力に対応して、フィルタ7の係数が演算される。従って、誤判定の恐れが少なくなり、適切な目標値が与えられるようになり、動作を安定させることが可能となる。

【0015】請求項4乃至6に記載の発明においては、ROM32に予め記憶してある基準信号からモデル出力が生成され、フィルタ7の出力と、このモデル出力の誤差に対応して、フィルタ7の係数が演算される。従って、復号結果に拘らず、常に適正な目標値を設定することが可能となり、係数を最適値に迅速に収束させることが可能になる。

【0016】

【実施例】図1は、本発明のビデオテープレコーダの一実施例の構成を示すブロック図である。D/A変換器1は、入力される記録信号をD/A変換し、記録増幅器2に出力する。記録増幅器2は、入力された信号を増幅し、電磁変換系3に出力する。

【0017】電磁変換系3は、例えば図2に示すように、記録用の磁気ヘッド15と、記録用の磁気ヘッド15により信号が記録される磁気テープ16と、この磁気テープ16から記録信号を再生する再生用の磁気ヘッド17とにより構成されている。この電磁変換系3において、信号が記録再生される。

【0018】電磁変換系3より出力された信号は、再生用増幅器4により増幅された後、A/D変換器5に入力されるようになされている。A/D変換器5によりA/D変換された信号は、1+Dの特性が付与された特性回路6を介して、信号等化回路13を構成するFIR型トランスバーサルデジタルフィルタ7に供給されるとともに、係数演算回路12に供給されている。

【0019】フィルタ7の出力は、ビタビ復号器8によ

10

20

30

40

50

り復号された後、図示せぬ回路に出力されるようになっている。また、ビタビ復号器8の出力は、モデル出力演算回路10により、 $1-D^L$ の特性による演算が施された後、減算器11に供給されている。この減算器11には、また、フィルタ7の出力が遅延回路9により所定の時間だけ遅延された後、供給されている。この遅延回路9の遅延時間は、ビタビ復号器8における処理時間（より正確には、ビタビ復号器8とモデル出力演算回路10の処理時間）に対応する時間に設定されている。減算器11は、モデル出力演算回路10の出力から遅延回路9の出力を減算し、誤差信号を生成し、係数演算回路12に出力している。係数演算回路12は、減算器11の出力と特性回路6の出力とから、新たな係数を演算し、フィルタ7に出力している。

【0020】FIR型トランスバーサルデジタルフィルタ7は、例えば図3に示すように構成されている。この実施例においては、入力された信号を1クロック分ずつ順次遅延する遅延回路21、乃至21、と、遅延回路21、乃至21、の入出力に所定の係数 W_0 乃至 W_L を乗算する乗算器22、乃至22、と、この乗算器22、乃至22、の出力を加算する加算器23とにより構成されている。

【0021】次に、その動作について説明する。記録信号は、D/A変換器1によりD/A変換された後、記録増幅器2により増幅され、電磁変換系3に供給される。電磁変換系3においては、磁気ヘッド15により記録信号が磁気テープ16上に記録される。そして、この磁気テープ16上に記録された信号が、磁気ヘッド17により再生される。この磁気ヘッド15と17は、同一のものとすることができるのはもとよりである。

【0022】電磁変換系3より出力された信号は、再生増幅器4により増幅された後、A/D変換器5によりA/D変換され、特性回路6に供給される。特性回路6は、 $1+D$ の特性を有している。ここでDは、入力されたデータを1クロック分前のデータとする（遅延する）ことを意味する。従って、特性回路6においては、入力されたデータが1クロック分前の（遅延された）データと加算されて出力されることになる。

【0023】即ち、特性回路6の入力を $a_{(k)}$ とし、その1クロック前のデータを $a_{(k-1)}$ とすると、特性回路6の出力 $x_{(k)}$ は、次式で表わすことができる。

$$x_{(k)} = a_{(k)} + a_{(k-1)} \\ = (1+D) a_{(k)} \cdots (1)$$

【0024】特性回路6より出力されたデータが、フィルタ7により、その振幅や位相の歪が補償された後、出力される。パーシャルレスポンスクラスIVの記録再生特性による場合、D/A変換器1からフィルタ7までの総合特性を $1-D^L$ の特性にする必要がある。このうち、特性回路6が $1+D$ の特性を有しているため、D/A変換器1乃至A/D変換器5までの特性と、フィルタ7の特性を総合した特性が $1-D$ となるように、フィルタ7

の乗算器22、乃至22、の係数を調整するようにすればよい。

【0025】この係数を調整するために、本実施例においては、遅延回路9、モデル出力演算回路10、減算器11、および係数演算回路12が設けられている。

【0026】フィルタ7の出力を $y_{(k)}$ とし、D/A変換器1への入力を $a_{(k)}$ とすると、パーシャルレスポンスクラスIVの伝達特性であれば、次式が成立する。
 $y_{(k)} = (1-D^L) a_{(k)} \cdots (2)$

【0027】いま、このD/A変換器1からフィルタ7までの記録再生系が理想的な系であるとする場合のフィルタ7の出力を $y_{s(k)}$ とすると、等化誤差 $e_{(k)}$ は、次式で表わすことができる。

$$e_{(k)} = y_{s(k)} - y_{(k)} \\ = (1-D^L) a_{(k)} - y_{(k)} \cdots (3)$$

【0028】ここで、 $a_{(k)}$ は記録データそのものであり、これを再生側において知ることができないため、上記した等化誤差 $e_{(k)}$ を演算するため、上記(3)式において、 $a_{(k)}$ の代りに、ビタビ復号器8の出力を利用する。但し、このビタビ復号器8の出力は、所定クロック分(Lクロック)遅延する。これは、ビタビ復号器8がデータを復号するのに、その時点におけるデータだけでなく、過去のデータも参照するようにしているためである。ビタビ復号器8は、このように、過去のデータも参照して復号を行なうようになされているため、磁気テープ16に記録されたデータが、記録データとは異なる誤ったデータとして判定される（誤判定される）恐れは少ない。

【0029】このように、ビタビ復号器8の出力は、Lクロック分遅延するため、 $a_{(k-L)}$ と表わすことができる。

【0030】このビタビ復号器8の出力 $a_{(k-L)}$ は、モデル出力演算回路10により、 $1-D^L$ の特性で処理される。即ち、モデル出力演算回路10は、 $y_{s(k-L)}$ を出力する。

$$y_{s(k-L)} = (1-D^L) a_{(k-L)} \cdots (4)$$

【0031】この(4)式が、上記した(3)式における左辺の項に対応することになる。

【0032】このように、ビタビ復号器8の出力 $a_{(k-L)}$ を用いるようにすると、その処理に必要な時間だけデータが遅延するため、誤差を演算するに当り、使用するフィルタ7の出力 $y_{(k)}$ を遅延回路9によりLクロック分だけ遅延し、 $y_{(k-L)}$ とする。減算器11は、モデル出力演算回路10の出力 $y_{s(k-L)}$ から、遅延回路9の出力 $y_{(k-L)}$ を減算し、誤差 $e_{(k)}$ を出力する。

$$e_{(k)} = y_{s(k-L)} - y_{(k-L)} \\ = (1-D^L) a_{(k-L)} - y_{(k-L)} \cdots (5)$$

【0033】この(5)式により表わされる $e_{(k)}$ が、ビタビ復号器8の出力を利用した場合におけるフィルタ7の等化誤差を表わしている。

【 0 0 3 4 】 係数演算回路 1 2 は、この (5) 式で示される等化誤差 $e_{(k)}$ と、特性回路 6 が出力する (1) 式で示されるデータ $x_{(k)}$ を利用して、新たな係数 $W_{(k+1)}$ を演算する。

$$X_{(k)} = [x_{(k)}, x_{(k-1)}, \dots, x_{(k-L+1)}] \dots (6)$$

【 0 0 3 6 】 一方、乗算器 2 2₀ 乃至 2 2_L には、次式で

$$W_{(k)} = [W_{0(k)}, W_{1(k)}, \dots, W_{L(k)}] \dots (7)$$

【 0 0 3 7 】 乗算器 2 2₀ 乃至 2 2_L の出力は、加算器 2 3 により加算され、次式で表わすことができる。

$$y_{(k)} = W_{(k)} X'_{(k)} \dots (8)$$

尚、ここで $X'_{(k)}$ は、データ列のベクトル $X_{(k)}$ の転置行列を表わしている。

【 0 0 3 8 】 係数演算回路 1 2 は、LMS 法に従って、乗算器 2 2₀ 乃至 2 2_L の次の係数 $W_{(k+1)}$ を次式より演算する。

$$\begin{aligned} W_{(k+1)} &= W_{(k)} + \delta e_{(k)}^2 / \delta W_{(k)} \\ &= W_{(k)} + 2 e_{(k)} \delta e_{(k)} / \delta W_{(k)} \\ &= W_{(k)} - 2 e_{(k)} X_{(k)} \dots (9) \end{aligned}$$

【 0 0 3 9 】 即ち、係数演算回路 1 2 は、図 4 のフローチャートに示すように、ステップ S 1 において、減算器 1 1 より供給される等化誤差 $e_{(k)}$ と、特性回路 6 より供給されるデータ $X_{(k)}$ から、新たな係数 $W_{(k+1)}$ を求める。そしてステップ S 2 において、この新たに演算したタップ係数を乗算器 2 2₀ 乃至 2 2_L にロードする。

【 0 0 4 0 】 以上の処理により、等化誤差が 0 になるようになされ、ビタビ復号器 8 より出力されるデータが、D/A 変換器 1 に入力されるデータに対応するものとなる。

【 0 0 4 1 】 図 5 は、本発明のビデオテーブルコードの第 2 の実施例を表わしており、図 1 における場合と対応する部分には同一の符号を付してある。この実施例においては、信号等化回路 1 3 が、図示せぬ回路から供給されるタイミング信号に対応して、所定のタイミング信号を出力するコントローラ 3 1 と、コントローラ 3 1 より供給されるタイミング信号に対応して、予め記憶されている基準信号を出力する ROM 3 2 と、ROM 3 2 からの基準信号を $1-D'$ の特性で演算し、出力するモデル出力演算回路 3 3 と、モデル出力演算回路 3 3 の出力から、フィルタ 7 の出力を減算する減算器 3 4 と、コントローラ 3 1 より供給されるタイミング信号に対応して、減算器 3 4 より供給されるデータと特性回路 6 より供給されるデータから、フィルタ 7 の新たな係数を演算する係数演算回路 3 5 とにより構成されている。その他の構成は、図 1 における場合と同様である。

【 0 0 4 2 】 本実施例においては、磁気テープ 1 6 に、図 6 に示すトラックフォーマットでデータが記録されている。同図において、下側に記載されている数字は、各領域におけるデータの長さ (バイト数) を表わしている。

【 0 0 4 3 】 図 6 に示すように、最初に 4 5 5 バイトの

【 0 0 3 5 】 即ち、フィルタ 7 に入力されたデータは、遅延回路 2 1₁ 乃至 2 1_L により、1 クロック分ずつ順次遅延される。その結果、次式で表わされるデータ列 $X_{(k)}$ が得られる。

示されるタップ係数ベクトル $W_{(k)}$ が供給されている。

マージンが記録され、その次に 6 0 バイトの間隔をおいて、2 3 7 バイトの A T F 領域が形成されている。そして、その次には 1 7 6 バイトの区間に I B G とアンブルが形成されている。このうち、アンブル (プリアンブル) は 4 5 バイトの長さとしてされている。

【 0 0 4 4 】 その次は、1 2 7 4 バイトのオーディオデータ領域とされている。このオーディオデータ領域の次には、1 3 3 7 7 バイトのビデオデータ領域が形成され、オーディオデータ領域とビデオデータ領域の間には、1 8 2 バイトのアンブル (ポストアンブル) 、I B G、およびアンブル (プリアンブル) よりなる領域が形成されている。また、ビデオデータ領域の次には、1 4 2 バイトのサブコード領域が形成され、ビデオデータ領域とサブコード領域の間には、アンブル (ポストアンブル) 、I B G、およびアンブル (プリアンブル) よりなる 1 8 2 バイトの領域が形成されている。

【 0 0 4 5 】 さらに、サブコード領域の次には、アンブル (ポストアンブル) 、I B G、アンブル (プリアンブル) よりなる 2 2 0 バイトの領域が形成され、さらにその次に 2 3 7 バイトの A T F 領域、さらに 4 5 5 バイトのマージン領域が順次形成されている。

【 0 0 4 6 】 本実施例においては、上記したアンブル (4 5 バイト) のうち、少なくとも 1 つのプリアンブルが、図 7 に示すように構成されている。先頭の 4 バイトには、乗算器 2 2₀ 乃至 2 2_L の係数を更新するために用いる基準信号が記録されている。この実施例においては、ナイキスト周波数を f_s とするとき、 f_s 、 $f_s/2$ 、 $f_s/3$ 、 $f_s/4$ 、 $f_s/5$ の各信号が 1 周期分ずつシリアルに記録されている。この各周波数の 1 周期分の基準信号を、4 ビット単位としてヘキサ符号で表わすと、図 7 に示すように、2 C、E 3、C 3、E 0 となる。

【 0 0 4 7 】 即ち、図 8 に示すように、周波数 f_s の 1 周期分の信号は ' 1 0 ' となるので、その M S B 側に ' 0 0 ' を付加すると、' 0 0 1 0 ' で表わされるため、ヘキサ符号で表わすと 2 となる。 $f_s/2$ の周波数の基準信号は ' 1 1 0 0 ' となるため、ヘキサ符号で表わすと C となる。 $f_s/3$ の基準信号は ' 1 1 1 0 0 0 ' で表わされ、その次に続く、 $f_s/4$ の基準信号は ' 1 1 1 1 0 0 0 0 ' で表わされる。そこで、 $f_s/3$ の基準信号の一部 ' 1 1 1 0 ' はヘキサ符号で E と表わされ、 $f_s/3$ の基準信号の一部と、それに続く $f_s/4$ の基準信号の一部よりなる ' 0 0 1 1 ' は、ヘキサ符号

10

20

30

40

50

で表わすと 3 となる。

【0048】それに続く、 $f_s/4$ の '1100' は、ヘキサ符号 C で表わされる。 $f_s/5$ の基準信号は '1111100000' で表わされるため、基準信号 $f_s/4$ の一部と、基準信号 $f_s/5$ の一部よりなる '0011' は、ヘキサ符号で 3 となる。そして基準信号 $f_s/5$ の残りのデータ '1110' は E、また、'0000' は 0 として、それぞれヘキサ符号で表わすことができる。従って、4 バイト (= 32 ビット) の各バイトにより、それぞれ 2 C, E 3, C 3, E 0 が表わされることになる。

【0049】そして、それに続く 4 バイトには、クロック生成のためのデータ (f_s) が記録されるため、'1010' で表わされるデータが続くことになる。これをヘキサ符号で表わすと、A となる。従って、4 バイトの残りの区間には、各バイトに A A が記録されることになる。

【0050】次に、図 5 の実施例の動作について説明する。上述したようにして、磁気テープ 16 のプリアンプ領域から再生された基準信号 f_s 乃至 $f_s/5$ が、フィルタ 7 により処理されるタイミングにおいて、コントローラ 31 が ROM 32 と係数演算回路 35 にタイミング信号を出力する。ROM 32 には、磁気テープ 16 に記録されている基準信号 f_s 乃至 $f_s/5$ と同一の基準信号が予め記憶されており、この基準信号がモデル出力演算回路 33 により、 $1-D^2$ の特性で処理される。即ち、減算器 34 には、モデル出力減算回路 33 より、 D/A 変換器 1 に入力されるデータ $a_{(k)}$ と同一のデータが供給されることになる。

【0051】減算器 34 には、また、フィルタ 7 より $y_{(k)}$ が入力される。減算器 34 は、モデル出力減算回路 33 の出力からフィルタ 7 の出力を減算し、その誤差信号 $e_{(k)}$ を係数演算回路 35 に出力する。この誤差 $e_{(k)}$ は、推定した目標値 (ビタビ復号器 8 の出力) から生成されたものではなく、ROM 32 に予め記憶されている基準信号から生成されたものであるため、正しい誤差信号となっている。

【0052】係数演算回路 35 は、この誤差 $e_{(k)}$ と特性回路 6 の出力 $X_{(k)}$ に対応して、図 1 の実施例における場合と同様に、LMS 法に従って、新たな係数を演算し、その係数をフィルタ 7 の乗算器 22、乃至 22、にロードする。このようにして正確な係数がフィルタ 7 に設定されることになる。

【0053】基準信号が記録されていない位置においては、係数は固定され、基準信号が記録されている位置で更新される。

【0054】

【発明の効果】以上の如く請求項 1 乃至 3 に記載の発明

によれば、適応型フィルタにより等化された信号をビタビ復号器で復号し、ビタビ復号器の復号出力に対応して、適応型フィルタの係数を演算するようにしたので、常に適正な係数を設定することが可能となる。

【0055】さらに、請求項 4 乃至 6 に記載の発明によれば、予め記憶してある基準信号からモデル出力を演算し、適応型フィルタの出力と、このモデル出力との誤差に対応して、適応型フィルタの係数を演算するようにしたので、正確な誤差を得ることができ、正確な係数を設定することが可能となる。さらに、一旦、不適切な係数に設定されたとしても、適切な係数に迅速に収束させることが可能となり、発散を抑制することができる。

【図面の簡単な説明】

【図 1】本発明のビデオテープレコーダの一実施例の構成を示すブロック図である。

【図 2】図 1 の電磁変換系 3 の構成例を示す図である。

【図 3】図 1 の FIR 型トランスバーサルデジタルフィルタ 7 の構成例を示すブロック図である。

【図 4】図 1 の係数演算回路 12 の動作を説明するフローチャートである。

【図 5】本発明のビデオテープレコーダの他の実施例の構成を示すブロック図である。

【図 6】図 5 の実施例における磁気テープのトラックフォーマットを説明する図である。

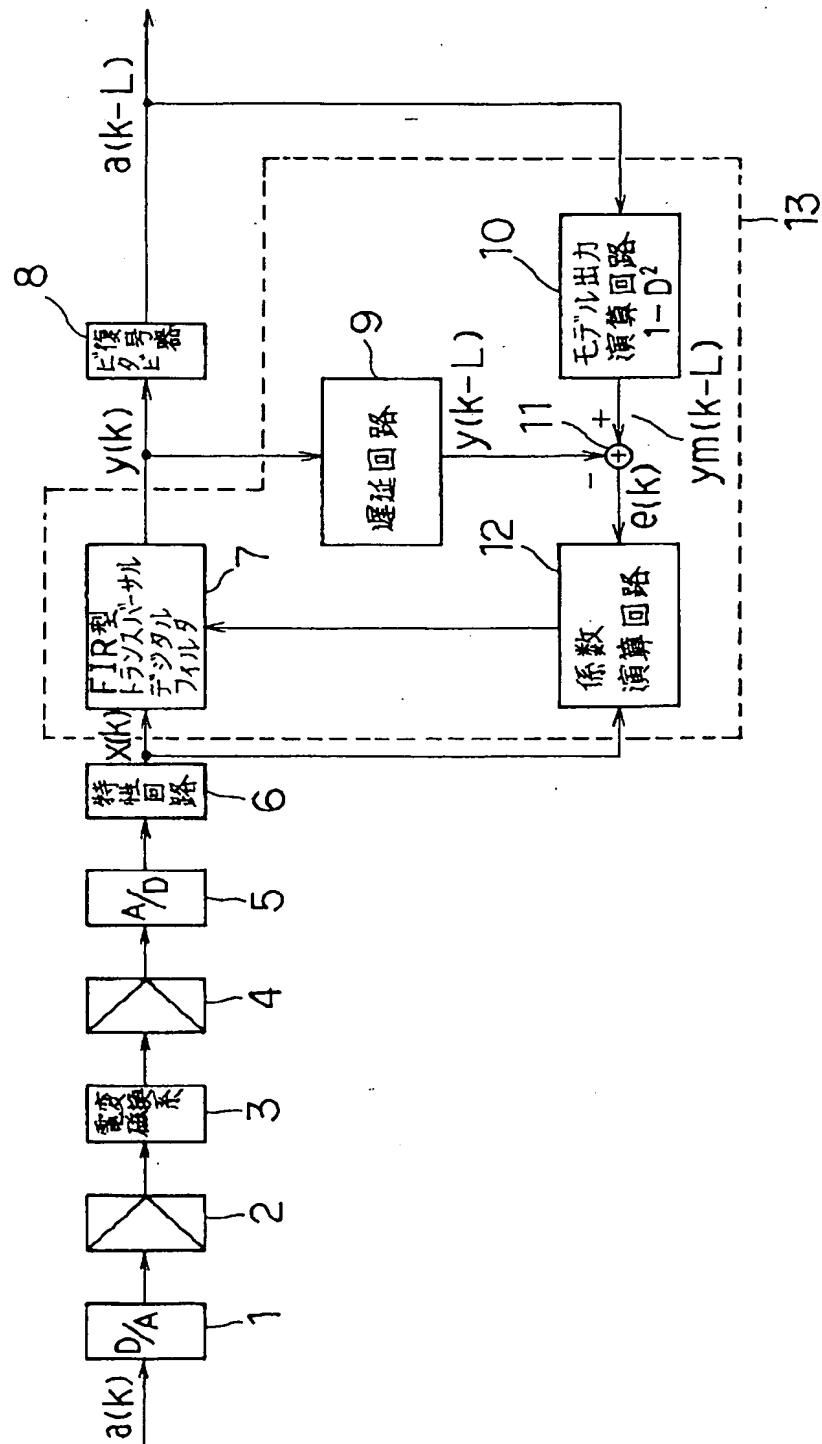
【図 7】図 6 のプリアンプのフォーマットを説明する図である。

【図 8】図 7 のデータの構成を説明する図である。

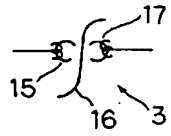
【符号の説明】

- 1 D/A 変換器
- 3 電磁変換系
- 5 A/D 変換器
- 6 特性回路
- 7 FIR 型トランスバーサルデジタルフィルタ
- 8 ビタビ復号器
- 9 遅延回路
- 10 モデル出力演算回路
- 11 減算器
- 12 係数演算回路
- 13 信号等化回路
- 21、乃至 21、遅延回路
- 22、乃至 22、乗算器
- 23 加算器
- 31 コントローラ
- 32 ROM
- 33 モデル出力演算回路
- 34 減算器
- 35 係数演算回路

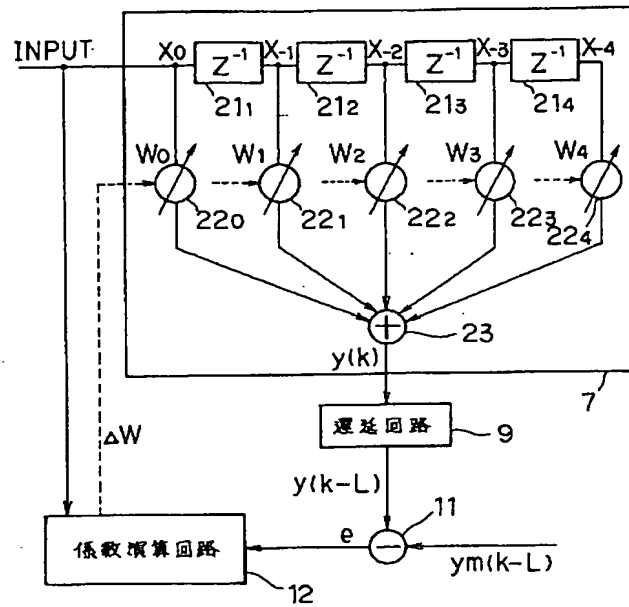
【図 1】



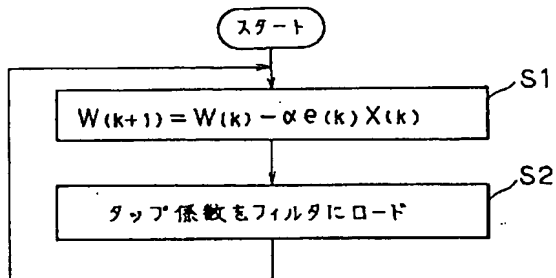
【図 2】



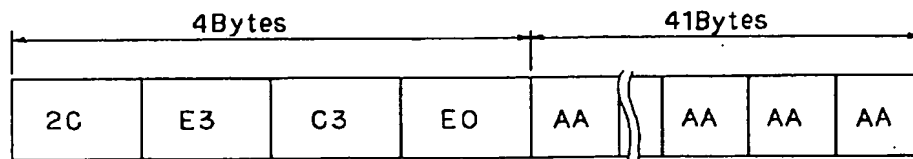
【図 3】



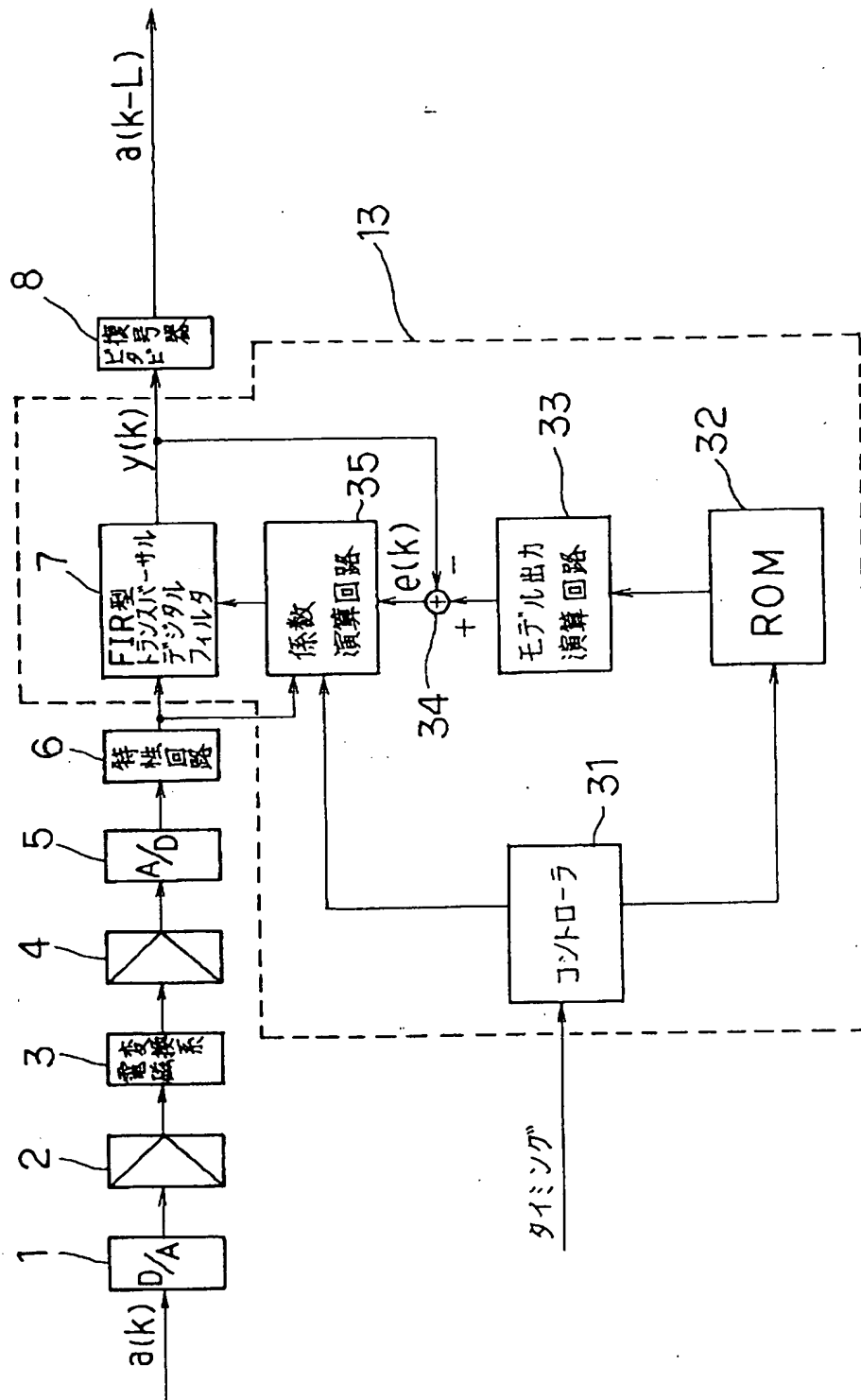
【図 4】



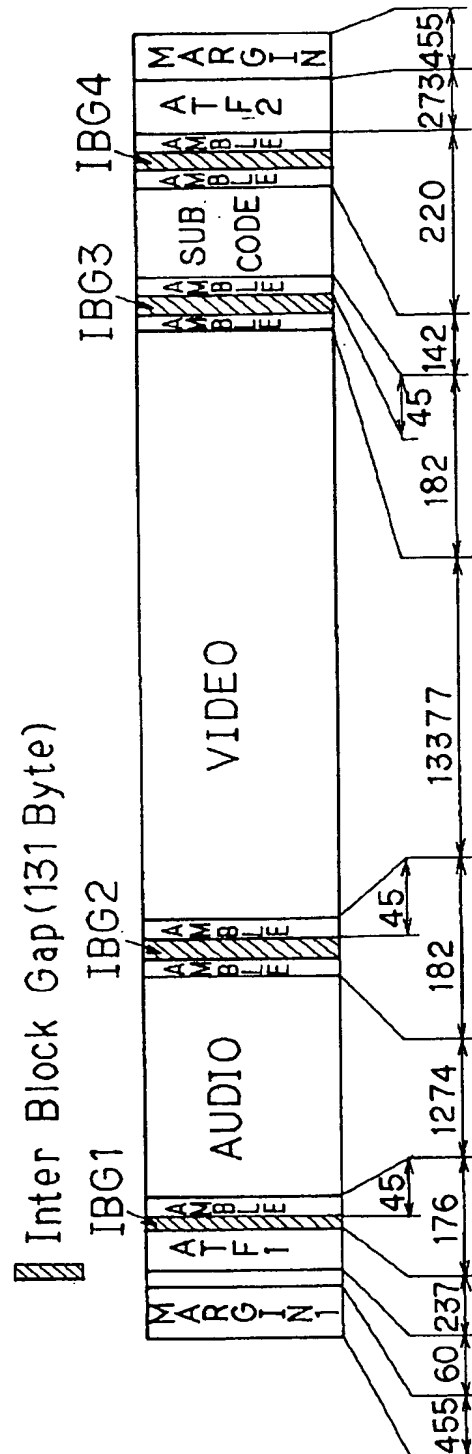
【図 7】



【図 5】



【図6】



【図 8】

